

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11195620 A

(43) Date of publication of application: 21 . 07 . 99

(51) Int. Cl

H01L 21/285
H01L 21/285
C23C 14/34
H01L 21/8238
H01L 27/092
H01L 29/78
H01L 21/336

(21) Application number: 10248351

(71) Applicant: NEC CORP

(22) Date of filing: 02 . 09 . 98

(72) Inventor: HAMANAKA NOBUAKI
INOUE AKIRA
ABIKO HITOSHI
HIGUCHI MINORU

(30) Priority: 29 . 10 . 97 JP 09297022

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE AND SPUTTERING DEVICE

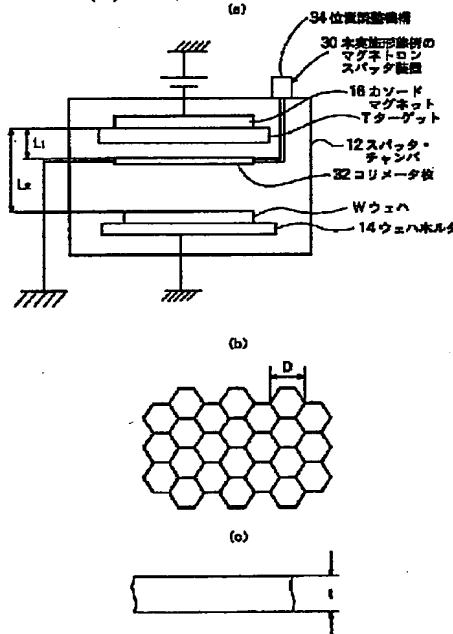
16 and a wafer holder 14 in a state that the plate 32 is grounded.

(57) Abstract:

PROBLEM TO BE SOLVED: To sputter a high-melting point metal on the condition that the deterioration of the breakdown strength of a gate due to a sputtering device is not generated, in a method of manufacturing a semiconductor device, which is formed with a high-melting point metal silicide layer.

SOLUTION: A semiconductor device is manufactured into a structure, wherein a high-melting point metal is deposited on the whole surface of a silicon substrate formed with a gate electrode of a semiconductor element to form a high-melting point metal film and thereafter, when a heat treatment is performed on the surface of the substrate and a high-melting point metal silicide layer is formed on the interface between the surface of the substrate and the high-melting point metal film, the high-melting point metal film is sputtered and deposited by a magnetron sputtering unit on the condition that the amount Q of a charge to reach the gate electrode is less than 5 C/cm^2 . Moreover, a sputtering device 30 is constituted into a structure, wherein a collimator plate 32, which has a multitude of through holes penetrated from a target toward a wafer and consists of a conductor, is made to interpose between a target holder

COPYRIGHT: (C)1999,JPO



特開平11-195620

(43)公開日 平成11年(1999)7月21日

(51) Int. Cl. 6

H01L 21/285

識別記号

301

F I

H01L 21/285

S

C23C 14/34

H01L 21/8238

27/092

C23C 14/34

H01L 27/08

29/78

301

R

R

321

F

301

Y

審査請求 有 請求項の数12 ○ L (全16頁) 最終頁に続く

(21)出願番号

特願平10-248351

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成10年(1998)9月2日

(72)発明者 濱中 信秋

東京都港区芝五丁目7番1号 日本電気株式会社内

(31)優先権主張番号 特願平9-297022

(72)発明者 井上 順

東京都港区芝五丁目7番1号 日本電気株式会社内

(32)優先日 平9(1997)10月29日

(72)発明者 安彦 仁

東京都港区芝五丁目7番1号 日本電気株式会社内

(33)優先権主張国 日本 (JP)

(74)代理人 弁理士 稲垣 清

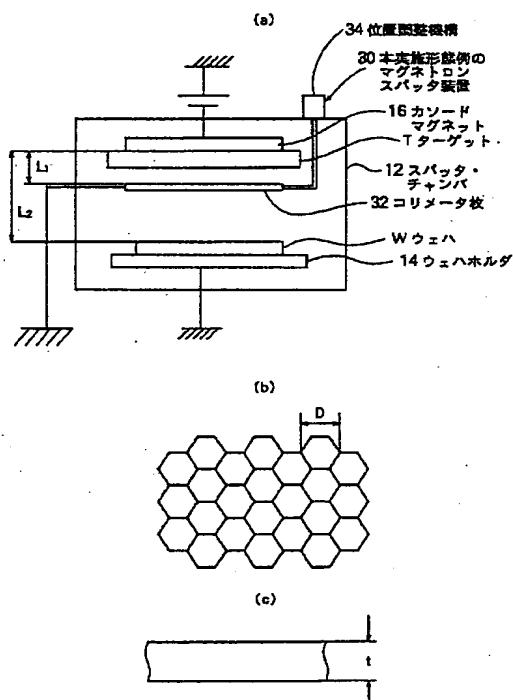
最終頁に続く

(54)【発明の名称】半導体装置の製造方法及びスパッタ装置

(57)【要約】

【課題】 高融点金属シリサイド層を形成する半導体装置の製造方法において、スパッタ装置によるゲート耐圧の劣化が生じない条件で高融点金属をスパッタする半導体装置の製造方法及びそのためのスパッタ装置を提供する。

【解決手段】 本方法では、半導体素子のゲート電極が形成されたシリコン基板の全面に高融点金属を堆積して高融点金属膜を形成後、熱処理して高融点金属膜との界面に高融点金属シリサイド層を形成する際、ゲート電極に到達する電荷量Qが5 C/cm²以下となる条件で、高融点金属膜をマグネットロンスパッタ装置によりスパッタ堆積する。また、スパッタ装置30は、ターゲットホールダ16と、ウェハーホールダ14との間に、ターゲットからウェハーに向けて貫通した多数の貫通孔を有する導電体からなるコリメート板32を接地した状態で有する。



【特許請求の範囲】

【請求項1】半導体素子のゲート電極が形成されたシリコン基板の全面に高融点金属を堆積して高融点金属膜を形成後、熱処理して前記高融点金属膜との界面に高融点金属シリサイド層を形成する半導体装置の製造方法において、

前記ゲート電極に到達する電荷量Qが5C/cm²以下となる条件で、前記高融点金属膜をマグネットロൺスパッタ装置によりスパッタ堆積することを特徴とする半導体装置の製造方法。

【請求項2】前記マグネットロൺスパッタ装置は、プラズマ密度最大領域が前記シリコン基板の外側になるように、ターゲットの大きさを設定して前記高融点金属膜をスパッタ堆積する構成であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記マグネットロൺスパッタ装置は、前記シリコン基板側のホルダマグネットが該シリコン基板を有するウェハー側面を覆う状態で前記高融点金属膜をスパッタ堆積する構成であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】前記マグネットロൺスパッタ装置は、プラズマ密度最大の領域が前記シリコン基板を有するウェハーより上方になるように、該ウェハー側のホルダマグネットの強度を設定して前記高融点金属膜をスパッタ堆積する構成であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】前記マグネットロൺスパッタ装置は、ターゲットと前記シリコン基板を有するウェハーとの間の空間に、導電体のコリメート板を挿入した状態で前記高融点金属膜をスパッタ堆積する構成であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】前記コリメート板は、上面の形状が網状であることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】前記高融点金属は、チタン、コバルトおよびニッケルのいずれか一の金属であることを特徴とする請求項1乃至6のうちいずれか一項記載の半導体装置の製造方法。

【請求項8】ターゲットホルダに保持されたターゲットと、ターゲットに対面させるようにして、ターゲット金属を堆積させるウェハーを保持するウェハーホルダとを備え、ターゲット金属をウェハー上にスパッタリングするスパッタ装置において、

ターゲットホルダと、ウェハーホルダとの間に、ターゲットからウェハーに向けて貫通した多数個の貫通孔を有する導電体からなるコリメート板を接地した状態で介在させることを特徴とするスパッタ装置。

【請求項9】コリメート板が、ターゲットホルダーに対して第1の間隔D₁以下で第2の間隔D₂以上の範囲の間隔で配置されていることを特徴とする請求項8に記

載のスパッタ装置。

【請求項10】第1の間隔D₁が50mmであり、第2の間隔D₂が24mmであることを特徴とする請求項10に記載のスパッタ装置。

【請求項11】コリメート板を前記範囲の間隔内に位置決めし、保持する位置調整手段を備えていることを特徴とする請求項9又は10に記載のスパッタ装置。

【請求項12】コリメート板は、貫通孔のアスペクト比が0.7以上で1.3以下の網状板であることを特徴とする請求項8から11のうちのいずれか1項に記載のスパッタ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に係り、特にゲート、ソースおよびドレイン表面を自己整合的にシリサイド化することにより、低抵抗化を図るMOS型電界効果トランジスタ(MOSFET)の製造方法に関する。また、本発明は、ゲート電極に高融点金属シリサイド膜を形成する際、ゲート酸化膜の絶縁

20 耐圧の劣化が生じないようにして、高融点金属をポリシリコン膜上にスパッタできるスパッタ装置に関するものである。

【0002】

【従来の技術】半導体装置の製造方法の一つとして知られる従来のシリサイドプロセスでは、特開平2-45923号公報に開示された方法がある。この従来の半導体装置の製造方法について、図3(a)～図3(d)の工程順に示した縦断面図を参照して説明する。

【0003】

図3(a)に示すようにP型シリコン基板301にNウェル302を既知の方法により形成する。次いで、P型シリコン基板301の表面にフィールド絶縁膜としてフィールド酸化膜303を選択酸化法により形成する。このフィールド酸化膜303に囲まれた活性領域に、順次シリコン酸化膜などのゲート絶縁膜304と多結晶シリコンを成長し、多結晶シリコンにリンを既知の手法によりドープして多結晶シリコンの電気抵抗の低減を図る。次いで、既知の手法であるフォトリソグラフィー法とドライエッチング法により、多結晶シリコンをパターンニングしてゲート電極305を形成する。

【0004】次に、フォトリソグラフィー法とイオン注入法により、図3(a)に示すように低濃度のN型不純物拡散層313と低濃度のP型不純物拡散層314を形成する。次いで、ゲート電極305の側面にシリコン酸化膜あるいはシリコン窒化膜から構成されるサイドウォール306を既知の化学気相成長(CVD)技術とエッチング技術を用いて形成する。

【0005】次に、図3(b)に示すようにフォトリソグラフィー法とイオン注入法により、N型不純物拡散層307とP型不純物拡散層308を形成する。かくして、LDD構造としてN型ソース・ドレイン領域30

7、P型ソース・ドレイン領域308が形成される。次いで、ゲート電極である多結晶シリコンの表面と半導体基板表面の自然酸化膜を除去し、例えばチタン膜309をスパッタ堆積する。

【0006】次に、図3(c)に示すように窒素雰囲気中で700°C以下の急速熱処理(以下、RTA)することにより、シリコンと接触するチタン膜309のみをシリサイド化し、C49型構造のチタンシリサイド層310を形成する。また、この際、フィールド酸化膜303およびサイドウォール306と接触するチタン膜309と半導体基板上のチタン膜の一部は窒化されて窒化チタン膜311となる。

【0007】次に、図3(d)に示すようにアンモニア水および過酸化水素水等の混合液などにより、選択的にウエットエッチングし、未反応チタンと窒化チタン膜311のみを除去する。次いで、前述のRTAよりも高温(800°C以上)のRTAを行い、前記のC49型構造のチタンシリサイド層310よりも電気抵抗率の低いC54型構造のチタンシリサイド層312を形成する。

【0008】以上に示したシリサイドプロセスを用いることにより、多結晶シリコン305、N型およびP型不純物拡散層307、308の表面部分が自己整合的にシリサイド化するために低抵抗化され、デバイスの高速化が図れる。このシリサイドプロセスは、必要とする領域に限って、選択的にシリサイド化できる利点がある。

【0009】ところで、従来のマグネットロンスパッタ装置10は、一般的には、図8に示すように、スパッタ・チャンバ12内に、ウェハーWを載置させるウェハーホルダ14と、ウェハーWに離間して対面する位置にターゲットTを保持するカソードマグネット16とを備えている。従来のマグネットロンスパッタ装置10を使って、例えばボリシリコンゲート電極上にCoをスパッタして、Coシリサイド電極を形成する際、ゲート酸化膜に絶縁不良が生じたチップが、ウェハー上に発生すること、特にウェハー周辺部に発生することが多く、製品歩留りを向上させる上で、問題になっていた。

【0010】ここで、従来のマグネットロンスパッタ装置10を使って、以下のスパッタ条件でゲート電極のボリシリコン上にCoをスパッタしてCo膜を成膜し、次いでRTAを施してCoシリサイド化を行つ後、ゲート酸化膜の絶縁耐圧の良否をウェハーのチップ毎に試験した結果を示す。本試験では、従来のマグネットロンスパッタ装置10を使って、図9に示すように、シリコン基板20上に形成されたゲート電極のボリシリコン膜22上にCoをスパッタしてCo膜24を成膜し、次いでRTAを施してCoシリサイド層を形成する。図9は、スパッタリングによりCo膜24をゲート電極のボリシリコン膜22上に成膜した状態を示す。図9中、26はSiN等からなるサイドウォール、28はゲート酸化膜である。

スパッタリング条件

チャンバ圧力 : 5~15mTorr

ガス流量 : Ar/50~100scc/m

スパッタパワー : 1.5 kW

しかし、従来のマグネットロンスパッタ装置10を使ったCoスパッタリングでは、図11に示すように、特にウェハーの周辺部のチップのゲート酸化膜に、絶縁不良が発生し、ゲート酸化膜の絶縁耐圧が所定値以上の良好なチップのウェハー全体のチップに対する百分率、いわゆる良品率は、図19に実験例1と実験例2の結果と合わせ示すように、46%程度であった。図11では、ゲート酸化膜に重度の絶縁不良が発生しているチップは、黒色で、軽度の絶縁不良が発生しているチップは、灰色で彩色されている。

【0011】

【発明が解決しようとする課題】しかるに、上記の従来の半導体装置の製造方法では、ゲートボリシリコンを形成した後、ゲートボリシリコン上に高融点金属をスパッタ堆積すると、その際に、プラズマから発生する電荷によりゲート電極305がチャージアップし、ゲート耐圧が劣化するという問題があった。

【0012】ゲート電極および拡散層上のみにシリサイドを形成する方法として、シリサイドプロセスが有効な方法であるが、高融点金属をスパッタする際の下地構造は、ゲート電極305の表面の自然酸化膜は除去されており、ゲート電極305は既に不純物がドープされてかつ、フローティングゲートとなっている。

【0013】そのため、スパッタ時、特にスパッタ放電中あるいは待機時の放電からシャッターが開いてウェハーホースパッタ堆積が開始された瞬間にゲート電極部に電荷が発生し、その電荷がゲート絶縁膜304を流れて、ゲート耐圧が劣化するという問題が発生する。この現象は、ゲート絶縁膜304の膜厚が薄膜化や高集積化するにつれて顕著であり、微細化が進むにつれて深刻な問題となっている。

【0014】本発明は上記の点に鑑みなされたもので、半導体基板上に選択的に形成される絶縁膜間に高融点金属シリサイド層を形成する半導体装置の製造方法において、スパッタ装置によるゲート耐圧の劣化が生じない条件で高融点金属をスパッタする半導体装置の製造方法を提供することを目的とする。

【0015】また、本発明の他の目的は、高信頼性及び低抵抗化が可能なMOS型電界効果トランジスタを製造し得る半導体装置の製造方法を提供することにある。

【0016】また、前述したように、従来のマグネットロンスパッタ装置を使って、Co、Ti、Ni、W等の高融点金属をボリシリコン膜上にスパッタしてシリサイド化を施す際に、ゲート酸化膜の絶縁性が低下するという問題があった。そこで、本発明の更なる目的は、ゲート電極に高融点金属シリサイド膜を形成する際、ゲート酸

化膜の絶縁耐圧の劣化が生じないようにして、高融点金属をポリシリコン膜上にスパッタできるスパッタ装置を提供することである。

【0017】

【課題を解決するための手段】本発明は、上記の目的を達成するため半導体素子のゲート電極が形成されたシリコン基板の全面に高融点金属を堆積して高融点金属膜を形成後、熱処理して高融点金属膜との界面に高融点金属シリサイド層を形成する半導体装置の製造方法において、ゲート電極に到達する電荷量Qが $5\text{ C}/\text{cm}^2$ 以下となる条件で、高融点金属膜をマグネットロンスパッタ装置によりスパッタ堆積するようにしたものである。

【0018】ここで、上記のマグネットロンスパッタ装置は、プラズマ密度最大領域がシリコン基板の外側になるように、ターゲットの大きさを設定して高融点金属をスパッタ堆積する構成である。

【0019】また、上記マグネットロンスパッタ装置は、シリコン基板側のホルダマグネットがシリコン基板を有するウェハー側面を覆う状態で高融点金属をスパッタ堆積する構成でもよく、またプラズマ密度最大の領域がシリコン基板を有するウェハーより上方になるように、ウェハー側のホルダマグネットの強度を設定して高融点金属をスパッタ堆積する構成でもよい。

【0020】更に、上記のマグネットロンスパッタ装置は、ターゲットとシリコン基板を有するウェハーとの間の空間に、導電体のコリメート板を挿入した状態で高融点金属をスパッタ堆積する構成でもよい。なお、上記の高融点金属は、チタン、コバルトおよびニッケルのいずれか一の金属であることが望ましい。

【0021】本発明では、ゲート電極に到達する電荷量Qが $5\text{ C}/\text{cm}^2$ 以下になる条件で高融点金属のスパッタ堆積を行い、ゲート耐圧の劣化を生じさせないようにするものである。

【0022】このことの作用について説明する。図4は自然酸化膜をフッ酸を用いてエッチングした後、チタンをスパッタ堆積し、次いで、熱処理を行わずにアンモニア水と過酸化水素水の混合液により、堆積したチタンをウェットエッチングしたウェハーのゲート耐圧の良品率を示す。比較として、スパッタを行わずに測定したものも示してある。

【0023】チタンをスパッタし、すぐにウェットエッチングした場合はゲートの初期耐圧不良が起こっており、スパッタ中にゲート耐圧が大幅に劣化するため、その場合のゲート良品率は図4にIで示すように、チタンをスパッタしない場合のゲート良品率IIに比べて良品率が低い。

【0024】図5はスパッタ堆積する際、コリメート板をウェハーとターゲット間に挿入した場合のゲート耐圧良品率を、コリメート板を挿入しないでスパッタ堆積した場合のゲート耐圧良品率と、スパッタ堆積しない場合

のゲート耐圧良品率とを対比して示す。この場合も図4と同様にスパッタ後熱処理を行わずにウェットエッチングし測定している。

【0025】スパッタ堆積する際、コリメート板をウェハーとターゲット間に挿入した場合のゲート耐圧良品率は図5にIVで示す如く、スパッタ堆積しない場合のゲート耐圧良品率Vと同様100%であり、同図にIIIで示すようにチタンをスパッタし、すぐにウェットエッチングした場合のゲート耐圧良品率に比べて、スパッタによるゲート耐圧の劣化が起こっておらず、良好なゲート耐圧が得られていることがわかる。

【0026】この場合には、コリメート板がウェハーとターゲット間に挿入されているためにウェハーに到達するはずの電荷がコリメート板に流れ、ゲート電極のチャージアップが抑制されており、ゲート電極に到達する電荷量Qが $5\text{ C}/\text{cm}^2$ 以下になるようなスパッタ堆積ができるためである。

【0027】通常コリメートスパッタは、コンタクトホールの底部にチタンを異方性良く堆積し、スパッタ膜のカバレッジを改善するためのものである。しかし、この場合においては、既成のコリメート板を用いて行わなくともよく、電気的にアースされている例えは網状の板をウェハーとターゲットの間に挿入されればよく、コリメートスパッタを用いて得られた結果と同様の結果が得られる。

【0028】このように、サリサイド構造を有したフローティングゲート電極上に高融点金属をスパッタ堆積する場合には、ウェハーへ到達する電荷量を制御する方法として、プラズマから不要な電荷を発生しないようにするか、発生した電荷をウェハーに到達しないようにするかが考えられる。そのため、上述の2種類あるいはそれらを組み合わせることでゲート耐圧特性を向上させることができる。

【0029】本発明者は、上述した本発明の目的を達成できるスパッタ装置を実現するために、研究の末に、ゲート酸化膜の絶縁不良が発生する原因是、ターゲット近傍の荷電粒子が、ウェハー表面に到達し、ゲート電極のポリシリコン膜及びゲート酸化膜を貫通してシリコン基板に貫入することにあると見い出した。即ち、ゲート酸化膜の絶縁耐圧の劣化が生じる原因是、プラズマ近傍

(ウェハー側)に存在する高荷電粒子密度領域から荷電粒子が飛来してウェハーに衝突する衝突確率が増大するからであると推測した。ターゲットのエロージョン測定から明らかのように、プラズマ密度の高い領域は、ターゲットの直径方向について、中央部よりも周辺部に集中している。そして、プラズマ密度の高い領域は、ターゲットからウェハーに向かう方向に見て、ターゲットの極く近傍に存在するが、荷電粒子密度の高い領域は、むしろプラズマ領域のウェハー側に存在していると考えられる。そこで、荷電粒子が、ウェハー上に飛来し、衝突す

るのを防止するために、ターゲットに近い位置であつて、しかもプラズマ領域から僅かにウェハー側に離れた位置にコリメート板を配置して、荷電粒子をコリメート板により捕捉することを着想し、更には、ターゲットとコリメート板との位置関係を研究して、本発明を完成するに到った。

【0030】上述した本発明の更なる目的を達成するために、上述の知見に基づいて、本発明に係るスパッタ装置は、ターゲットホルダに保持されたターゲットと、ターゲットに対面させるようにして、ターゲット金属を堆積させるウェハーを保持するウェハーホルダとを備え、ターゲット金属をウェハー上にスパッタリングするスパッタ装置において、ターゲットホルダと、ウェハーホルダとの間に、ターゲットからウェハーに向けて貫通した多数個の貫通孔を有する導電体からなるコリメート板を接地した状態で介在させることを特徴としている。

【0031】また、後述の実験例1及び2の結果から判るように、コリメート板の介在効果は、コリメート板のターゲットに対する位置によって大幅に異なり、ゲート酸化膜の絶縁耐圧の劣化防止に関し、コリメート板のターゲットに対する位置には、臨界的な意義がある。そこで、本発明の好適な実施態様では、コリメート板が、ターゲットホルダーに対して第1の間隔D₁以下で第2の間隔D₂以上範囲の間隔で配置されていて、更に好適には、スパッタ装置は、コリメート板を前記範囲の間隔内に位置決めし、保持する位置調整手段を備えている。第1の間隔D₁及び第2の間隔D₂は、スパッタ装置の構造により、またスパッタリング条件により、それぞれ、異なるものの、実用的には、後述する理由から、第1の間隔D₁が5.0mmであり、第2の間隔D₂が2.4mmである。

【0032】また、コリメート板の表面積に対する全貫通孔の開口面積の総和の比率、開口率は高い方がよく、また、コリメート板の貫通孔の形状及び寸法に制約はないものの、好適には、コリメート板は、貫通孔のアスペクト比が0.7以上1.3以下の網状板である。

【0033】本発明は、グロー放電によりスパッタリングを行うスパッタ装置である限り、スパッタ装置の種類、形式に制約はなく適用でき、例えば、直流スパッタ装置、高周波(RF)スパッタ装置及びマグネトロンスパッタ装置に適用できる。

【0034】コリメート板がターゲットとウェハーとの間に介在する場合、ゲート絶縁膜の初期耐圧劣化の程度は、コリメート板とターゲットホルダとの距離、コリメート板のアスペクト比及びスパッタレートに依存すると考えられる。

【0035】コリメート板が介在しない場合、高荷電粒子領域から飛来する荷電粒子が直接にウェハーに衝突する確率は、ウェハー周辺部ほど高く、従ってウェハーホルダのゲート絶縁膜の初期耐圧劣化の程度がウェハー中

央部に比べて激しい。例えばマグネトロンスパッタ装置の場合、マグネトロンスパッタ装置毎にカソードマグネットの形状、寸法が異なり、その結果、ターゲット直徑方向のプラズマ密度分布、ひいては荷電粒子の分布が異なるため、劣化パターン(マップ)は、各装置に固有なパターンとなるものの、一般的な傾向として、ウェハー周辺部ほど劣化が激しい。また、コリメート板が介在しない場合、ウェハ中央部でも、コリメート板を介在させた場合に比べて、ゲート・ソース/ドレイン間のリーカ電流の増大などが計測されており、スパッタ時にゲート酸化膜にダメージが与えられていることは明らかである。

【0036】コリメート板とターゲットホルダとの距離(T/C間距離)は、この高荷電粒子密度域から直接飛来する荷電粒子を捕捉する確率が高くなるように決定されるべき因子であって、前述したように、コリメート板の介在効果は、コリメート板のターゲットに対する位置によって大幅に異なり、コリメート板のターゲットに対する位置には臨界的な意義がある。例えば、T/C間距離が5.0mm以上であると、コリメート板の介在効果は大幅に低下する。T/C間距離を短くして、荷電粒子のコリメート板に対する入射角度を大きくすれば、荷電粒子のコリメート板での捕捉確率を高めることができるので、荷電粒子の飛来、衝突によるゲート酸化膜の絶縁耐圧の劣化を効果的に防止できる。しかし、逆に、T/C間距離が短すぎると、高密度プラズマ存在領域にコリメート板が接触するために、コリメート板がスパッタリングされて削られる懼れがあり、非常に危険であるから、その見地からT/C間距離には許容最短距離(例えば2.4mm)が設定される。

【0037】また、コリメート板のアスペクト比を大きくすることは、前述の高荷電粒子密度域からの荷電粒子を捕捉する確率が高くなるので、ゲート酸化膜の初期絶縁耐圧の劣化防止に有効である。しかし、アスペクト比が大きすぎると、スパッタ金属が捕捉されるので、スパッタレートが低下する。

【0038】

【発明の実施の形態】次に本発明の各実施の形態について、図面と共に説明する。

40 本発明に係る半導体装置の製造方法の第1の実施形態

図1は本発明になる半導体装置の製造方法の第1の実施の形態の各工程の素子断面図を示す。まず、図1(a)に示すようにP型シリコン基板101にNウェル102を既知の方法により形成する。次いで、P型シリコン基板101の表面にフィールド絶縁膜としてフィールド酸化膜103を選択酸化法により形成する。このフィールド酸化膜103に囲まれた活性領域に、順次シリコン酸化膜などのゲート絶縁膜104と多結晶シリコンを成長し、多結晶シリコンにリンを既知の手法によりドープして多結晶シリコンの電気抵抗の低減を図る。

【0039】次いで、既知の手法であるフォトリソグラフィー法とドライエッティング法により、多結晶シリコンをパターンニングして図1 (a) に示すようにゲート電極105を形成する。次に、フォトリソグラフィー法とイオン注入法により、低濃度のN型不純物拡散層113と低濃度のP型不純物拡散層114を形成する。次いで、ゲート電極105の側面にシリコン酸化膜あるいはシリコン窒化膜から構成されるサイドウォール106を既知のCVD技術とエッティング技術を用いて形成する。

【0040】次に、図1 (b) に示すように、フォトリソグラフィー法とイオン注入法により、N型不純物拡散層のソース・ドレイン領域107とP型不純物拡散層のソース・ドレイン領域108を形成する。かくして、LDD構造としてN型ソース・ドレイン領域107、P型ソース・ドレイン領域108が形成される。

【0041】次いで、ゲート電極105である多結晶シリコンの表面と半導体基板表面の自然酸化膜を除去し、例えばゲート電極105に到達する電荷量Qが5C/cm²以下になるような条件とするマグネットロンスパッタ装置を使用して、高融点金属であるチタンをスパッタ堆積してチタン膜109を形成する。この際、使用するマグネットロンスパッタ装置には、ウェハーとターゲット間にコリメート板のような例えば網状の導電体を挿入してスパッタを行う。

【0042】図6は本発明方法の第1の実施の形態で使用するマグネットロンスパッタ装置の一例の構成図を示す。図6 (a) に示すマグネットロンスパッタ装置は、チャンバ61内にウェハー・ホルダ62上にウェハー63が載置され、これに離間対向する位置にカソードマグネット64とターゲット65が配置され、ウェハー63とターゲット65との間の空間位置にコリメート板66が配置されている。

【0043】通常用いるコリメート板は、スパッタ粒子の異方性を高めるものであり、網のアスペクト比が1程度のものであるが、このスパッタ装置で用いるコリメート板66は、図6 (b) に上面図を示すように、網状の導電体からなる構成である。なお、このコリメート板66は、単に導電性のある板をウェハーとターゲット間に挿入すればよく、コリメート板66のアスペクト比および寸法、形状は任意であり、また、ウェハー63の全面を覆っている必要もなく、プラズマ強度分布が高いあるいは電荷が発生しやすい領域だけをカバーしていればよい。

【0044】さらに、また、このコリメート板66の形状はスパッタ装置によって寸法、形状を調整すればいいものである。なお、このコリメート板66の網状の導電体は、設地電位として用いてもよいが、プラズマ状態に対応して、電位を与えることによりさらに効果が上がる。また、第1の実施の形態では、チタン膜109を堆積した例を示しているが、コバルト、ニッケル等の他

の高融点金属を堆積するようにしても同様の効果が得られることは勿論である。

【0045】次に図1 (c) に示すように、窒化雰囲気中で700℃以下の急速熱処理(RTA)することにより、多結晶シリコンであるゲート電極105の表面およびソース・ドレイン領域107および108と接触するチタン膜109の界面のみにC49型構造のチタンシリサイド層110を形成する。また、この際、フィールド酸化膜103およびサイドウォール106と接触するチタン膜109と半導体基板上のチタン膜109の一部は窒化されて窒化チタン膜111となる。

【0046】次に図1 (d) に示すように、アンモニア水および過酸化水素水等の混合液などにより、選択的にウェットエッティングし、未反応チタンと窒化チタン膜111のみを除去する。次いで、前述のRTAよりも高温(800℃以上)のRTAを行い、前記のC49型構造のチタンシリサイド層110よりも電気抵抗率の低いC54型構造のチタンシリサイド112を形成する。

【0047】このようにして製造されたMOS型電界効果トランジスタは、スパッタによるゲート耐圧の劣化が起こっておらず、良好なゲート耐圧が得られている。コリメート板66がウェハー63とターゲット65間に挿入されているために、ウェハー63に到達するはずの電荷がコリメート板66に流れ、ゲート電極105のチャージアップが抑制されているためである。

【0048】このようにサリサイド構造を有したフローティングゲート電極上に高融点金属をスパッタ堆積する場合には、ウェハーへ到達する電荷量を制御する方法として、発生した電荷をウェハーに到達しないようにすることでゲート耐圧特性を向上させることができる。

本発明に係る半導体装置の製造方法の第2の実施形態

図2 (a) に示すようにP型シリコン基板201にNウェル202を既知の方法により形成する。次いで、P型シリコン基板201の表面にフィールド絶縁膜としてフィールド酸化膜203を選択酸化法により形成する。このフィールド酸化膜203に囲まれた活性領域に、順次シリコン酸化膜などのゲート絶縁膜204と多結晶シリコンを成長し、多結晶シリコンにリンを既知の手法によりドープして多結晶シリコンの電気抵抗の低減を図る。

次いで、既知の手法であるフォトリソグラフィー法とドライエッティング法により、多結晶シリコンをパターンニングし図2 (a) に示すように、ゲート電極205を形成する。

【0049】次に、フォトリソグラフィー法とイオン注入法により、低濃度のN型不純物拡散層213と低濃度のP型不純物拡散層214を形成する。次いで、ゲート電極205の側面にシリコン酸化膜あるいはシリコン窒化膜から構成されるサイドウォール206を既知のCVD技術とエッティング技術を用いて形成する。

【0050】次に、図2 (b) に示すようにフォトリソ

グラフィー法とイオン注入法により、N型不純物拡散層のソース・ドレイン領域 207 と P型不純物拡散層のソース・ドレイン領域 208 を形成する。次いで、ゲート電極 205 である多結晶シリコンの表面と半導体基板表面の自然酸化膜を除去し、例えばゲート電極に到達する電荷量 Q が 5 C/cm^2 以下になるような条件とするマグネットロンスパッタ装置を用いて、高融点金属であるチタンをスパッタ堆積してチタン膜 209 を形成する。

【0051】このときに使用するマグネットロンスパッタ装置の構成を図 7 (b)、(d) または (e) に示す。従来のスパッタ装置として、図 7 (a) に示す如く、チャンバ 71 内にウェハー ホルダ 72 上にウェハー 73 が載置され、ウェハー 73 に離間対向する位置にターゲット 74 が配置された、ホルダーマグネットがない構造のスパッタ装置が知られているが、このものは発明者らの詳細な実験結果により、プラズマ 75 のプラズマ密度が最大の領域が最もゲート初期耐圧劣化が見られた。

【0052】これに対して、図 7 (b) に示すマグネットロンスパッタ装置は、ホルダーマグネットがない構造のマグネットロンスパッタ装置において、プラズマ 77 のプラズマ密度最大の領域が基板（ウェハー）外側になるように、大きさを設定したターゲット 76 を用いた構造のマグネットロンスパッタ装置であり、上記のチタン膜 209 をスパッタ堆積した場合には、プラズマ 77 から発生した電荷がウェハー 73 に到達しないようにするために、良好な電気特性が得られた。

【0053】また、図 7 (a) 及び (b) に示したマグネットロンスパッタ装置は、プラズマ 75、77 がウェハー 73 に直接接觸している構造であるが、従来のマグネットロンスパッタ装置には図 7 (c) に示すように、プラズマ 80 がウェハー 73 に接しない状態でホルダーマグネット 79 が装着されている構造のマグネットロンスパッタ装置も知られている。すなわち、この従来のマグネットロンスパッタ装置では、チャンバ 71 内にウェハー ホルダ 72 上にホルダーマグネット 79 を介してウェハー 73 が載置されており、ターゲット 74 からのプラズマ 80 はウェハー 73 には接しない。

【0054】しかし、この従来のマグネットロンスパッタ装置でも、プラズマから発生した電荷（ $A \text{ r}^+$ あるいは電子）がウェハー 73 に到達することにより、同様にゲート初期耐圧不良が生じ、発明者の詳細な実験結果より、ウェハー 73 周辺部にゲート初期耐圧の劣化箇所が見られた。

【0055】そこで、このホルダーマグネットがある構造のマグネットロンスパッタ装置として、この実施の形態では、図 7 (d) または図 7 (e) に示した構造のマグネットロンスパッタ装置を使用してチタン膜 209 をゲート電極に到達する電荷量 Q が 5 C/cm^2 以下になるような条件でスパッタ堆積する。図 7 (d) に示すマグネットロンスパッタ装置は、プラズマを安定化するために

取り付けられているホルダーマグネット 81 を、ウェハー 73 の側面を覆う形状とした点に特徴があり、これにより、プラズマ 82 から発生した電荷を、ホルダーマグネット 81 の磁場によりトラップすることにより、ゲート初期耐圧不良を抑制することができる。

【0056】また、図 7 (e) に示すマグネットロンスパッタ装置は、プラズマを安定化させるために取り付けられているホルダーマグネット 83 の磁界強度を、プラズマ 84 のプラズマ最大領域がウェハー 83 より上部にある 10 ように設定した点に特徴があり、これにより、プラズマ 84 から発生した電荷を、ホルダーマグネット 83 の磁場によりトラップすることにより、ゲート初期耐圧不良を抑制することができる。

【0057】図 7 (d) あるいは図 7 (e) に示した構造のマグネットロンスパッタ装置の場合には、ホルダーマグネット 81、83 から発生した磁場により電荷がトラップされたことで、周辺部にも劣化箇所は見られず良好な電気特性が得られた。実際には、マグネットロンスパッタ装置の構造によってゲート初期耐圧の劣化の程度が変化するため、上述のプラズマ最大領域を変更する方法とウェハー側のホルダーマグネットにより発生する磁場によってトラップする方法の組み合わせで最適化する場合も考えられる。

【0058】この第 2 の実施の形態では、チタンを堆積した例を示しているが、コバルト、ニッケル等の他の高融点金属を堆積するようにしても同様の効果が得られるることは勿論である。

【0059】再び図 2 に戻って説明するに、次に図 2 (c) に示すように窒素雰囲気中で 700°C 以下の急速 30 热処理 (RTA) をすることにより、多結晶シリコンであるゲート電極 205 の表面およびソース・ドレイン領域 107 および 108 と接触するチタン膜 109 の界面のみに C49 型構造のチタンシリサイド 210 を形成する。また、この際、図 2 (c) に示すように、フィールド酸化膜 203 およびサイドウォール 206 と接触するチタン膜 209 と半導体基板上のチタン膜 209 の一部は窒化されて窒化チタン膜 211 となる。

【0060】次に、図 2 (d) に示すように、アンモニア水および過酸化水素水等の混合液などにより、選択的にウェットエッチングし、未反応チタンと窒化チタン膜 211 のみを除去する。次いで、前述の RTA よりも高温 (800°C 以上) の RTA を行い、前記の C49 型構造のチタンシリサイド 210 よりも電気抵抗率の低い C54 型構造のチタンシリサイド 212 を形成する。

【0061】この実施の形態では、マグネットロンスパッタ装置構成を図 7 (b)、(d) または (e) のような構造にすることで、プラズマから発生する電荷がウェハーに到達せず、ゲート初期耐圧劣化が抑えられる。更に、第 1 の実施の形態で用いるマグネットロンスパッタ装置では導電体の網状のコリメート板を挿入しているた 50

め、スパッタされた膜が導電体の網状のコリメート板に堆積されることによりウェハー上へのスパッタレートの低下やパーティクル等の問題のため、コリメート板の交換の必要があるのに対し、この第2の実施の形態で用いるマグネットロンスパッタ装置では、導電体の網状のコリメート板を挿入していないため、コリメート板の交換の必要がなくなり、装置を安定に維持し易いという利点もある。

【0062】なお、以上の第1および第2の実施の形態では、ゲート及び拡散層上に同時にシリサイドを形成する方法について示したが、ポリサイドゲート (WSix/Poly-Si) 、ポリタメルゲート (W/WNx/Poly-Si) あるいは、メタルゲート (W/SiO₂) 構造等のフローティングゲート上に高融点金属をスパッタして拡散層上にシリサイドを形成する場合についても、本発明を適用できることは勿論である。

【0063】本発明に係るスパッタ装置の実施形態例

本実施形態例は、本発明に係るスパッタ装置をマグネットロンスパッタ装置に適用した実施形態の一例であって、図10 (a) は本実施形態例のマグネットロンスパッタ装置の構成を示す模式的断面図、図10 (b) はコリメート板の平面図、図10 (c) はコリメート板の側面図である。図10中、図8と同じ部品、部位には同じ符号を付している。本実施形態例のマグネットロンスパッタ装置30は、図10に示すように、基本的には、前述の図6に示したマグネットロンスパッタ装置と同じ構成を備えており、スパッタ・チャンバ12内に、ウェハーWを載置させるウェハーホルダ14と、ウェハーWに対して離間、対面する位置にターゲットTを保持するカソードマグネット16と、ウェハーホルダ14とカソードマグネット16との間に設けられた網板状のコリメート板32とを備えている。

【0064】コリメート板32は、スパッタ粒子の異方性を高めると共に荷電粒子を捕捉するために設けられており、図10 (b) に示すように、正六角形を連続させた網形状の、導電体からなる網状板として構成され、接地されている。コリメート板32の正六角形の網目又は孔は、ターゲットTからウェハーWに向かって貫通し、網目又は孔のアスペクト比は1である。即ち、コリメート板の厚さt (図10 (c) 参照) と網目又は孔の径D (網目又は孔の最大径、図10 (b) 参照) とは同じ長さである。また、コリメート板32は、位置調整機構34により、コリメート板32の面からカソードマグネット16のターゲット保持面までの距離 (T/C間距離、図10 (a) では、L₁ で表示) が変更され、その位置に保持されるようになっている。位置調整機構34は、既知の機構であって、油圧シリンダ、エアシリンダ等の駆動装置によりコリメート板32を上下に自在に昇降させる。なお、コリメート板32の広さは、コリメート板32がウェハーWの全面を覆っている必要もなく、プラ

ズマ強度分布が高い、あるいは荷電粒子が発生しやすい領域だけをカバーしておればよい。

【0065】実験例1

アネルバ (株) 製のモデル番号I-1060にコリメート板を装着した、本実施形態例のマグネットロンスパッタ装置30と同じ構成の実験装置を使って、スパッタリング実験を行った。以下に、実験装置の仕様を簡単に示す。

ターゲット

10 厚さ : 3mm

直径 : 12インチ

ウェハーホルダ

ウェハー寸法 : 6インチ径又は8インチ径

チャック方式 : クランプチャック

コリメート板

孔径D : 23mm

厚さt : 23mm

孔の形状 : 正六角形の連続形状

アスペクト比 : 1

20 材質 : ステンレス鋼

【0066】上述の実験装置で、カソードマグネット16のターゲット保持面とウェハーWの表面との距離 (T/S間距離、図10 (a) では、L₁ で表示) を103mmに調整し、かつカソードマグネット16のターゲット保持面とコリメート板32の対向面との距離L₁ を34mmに調整して、ウェハーホルダ14とカソードマグネット16との間に印加するスパッタ電力を1.0kW、1.5kW及び2.0kWに変えて、以下のスパッタリング条件でCoをスパッタし、膜厚100ÅのCo膜を図9に示すポリシリコン膜上に成膜した。

スパッタリング条件

ホルダ温度 : 室温

チャンバ圧力 : 3~8mTorr

次いで、ゲート酸化膜の絶縁耐圧の良否をチップ毎に調べ、図12 (a) ~ (c) に示すように、ゲート酸化膜の重度絶縁不良のチップを黒色、及び軽度絶縁不良のチップを灰色に彩色した。

【0067】実験例2

実験例1と同じ実験装置を使い、カソードマグネット16のターゲット保持面とウェハーWの表面との距離L₁ を113mmに調整し、かつカソードマグネット16のターゲット保持面とコリメート板32の対向面との距離L₁ を24mm、29mm、34mm、39mm、44mm及び56mmに変更し、かつ同じL₁ でウェハーホルダ14とカソードマグネット16との間に印加するスパッタ電力を1.0kW、1.5kW及び2.0kWに変えて、計18回の相互に異なる条件でCoスパッタリングを行った。尚、その他の条件は、実験例1と同じスパッタリング条件と同じである。次いで、ゲート酸化膜の絶縁耐圧の良否をチップ毎に調べ、図13 (a) ~ (c) から図

18 (a) ~ (c) に示すように、ゲート酸化膜の重度絶縁不良のチップを黒色、及び軽度絶縁不良のチップを灰色に彩色した。

【0068】図19に示すように、スパッタ電力をパラメータとして、実験例1と2の実験結果を集計した。図19では、横軸にし、縦軸にゲート酸化膜の良品率(%)を取っている。図19から判る通り、スパッタ電力の大小にかかわらず、 L_1 が 3.9mm 以下では、良品率がほぼ 100% に達し、一方、 L_1 が 4.4mm 以上では、良品率は 60% 以下に急激に低下する。即ち、ゲート酸化膜の良品率、即ちコリメート板 3.2 の介在効果に関し、コリメート板 3.2 のターゲット、又はカソードマグネットに対する明確な臨界的位置が、3.9mm と 4.4mm の間に存在することが判る。図19の左端の棒グラフは、コリメート板を介在させないときの良品率の数値であって、 L_1 が 5.6mm のときの良品率とほぼ同じである。

【0069】実験例3

実験例1と同じ実験装置を使い、カソードマグネットに対するコリメート板の距離 L_1 を 2.9mm、カソードマグネットとウェハー・ホールダとの距離 L_2 を 6.8mm に設定して、以下のスパッタリング条件の下でスパッタ電力(kW)とゲート酸化膜の良品率との関係を調べ、その結果を図20に示した。また、比較のために、コリメート板を備えていないこと除いて実験装置と同じ構成のマグネトロンスパッタ装置を使って、スパッタリングを行い、その結果も合わせて図20に示した。

スパッタリング条件

チャンバ圧力 : 8 ~ 10 mTorr

ガス流量 : 8.0 ~ 10.0 scc/m

スパッタパワー : 1.5 kW

図20から判る通り、本発明で特定した距離関係でコリメート板を設けることにより、コリメート板を備えないマグネトロンスパッタ装置に比べて、本実施形態例のマグネトロンスパッタ装置は、ゲート酸化膜の良品率のスパッタ電力依存性が極めて低い。

【0070】実験例4

実験例1と同じ実験装置を使い、カソードマグネットに対するコリメート板の距離 L_1 を 2.9mm、カソードマグネットとウェハー・ホールダとの距離 L_2 を 6.8mm に設定して、以下のスパッタリング条件の下でスパッタ率(A/sec)とゲート酸化膜の良品率の関係を調べ、その結果を図21に表示した。また、比較のために、コリメート板を備えていないこと除いて本実施形態例の同じ構成のマグネトロンスパッタ装置を使って、スパッタリングを行い、その結果も合わせて図21に表示した。

スパッタリング条件

チャンバ圧力 : 8 ~ 10 mTorr

ガス流量 : 8.0 ~ 10.0 scc/m

スパッタパワー : 1.5 kW

図21から判る通り、本発明で特定した距離関係でコリメート板を設けることにより、コリメート板を備えないマグネトロンスパッタ装置に比べて、本実施形態例のマグネトロンスパッタ装置は、ゲート酸化膜の良品率のスパッタ率依存性が極めて低い。

メート板を設けることにより、コリメート板を備えないマグネトロンスパッタ装置に比べて、本実施形態例のマグネトロンスパッタ装置は、良品率のスパッタ率依存性が低い。

【0071】ところで、スパッタ率を上げることにより、導電性の金属(もしくは金属珪化物)がウェハー表面を速やかに覆うため、荷電粒子はゲートの深さ方向よりもウェハーの水平方向に進むようになり、ゲート酸化膜の初期耐圧劣化確率は低くなる。従って、スパッタ率を上げることは、図21に示すように、ゲート酸化膜の初期絶縁耐圧の劣化防止に有効である。但し、スパッタ率が速過ぎると、ウェハーの面内膜厚分布差が増大し、更には高温スパッタ時のシリサイド化反応量の減少なども懸念されるために、高スパッタ率でのスパッタは、余り好ましくない。実験例3のスパッタパワーを 2.6 kW にすることで、スパッタ率を上げると、コリメート板をカソードマグネット 1.6 のカソード保持面に対する距離を 5.0mm にした場合でも、良品率は 9.8% であることが検証された。なお、スパッタ率を上げてゲート酸化膜の絶縁耐圧の劣化防止を図ろうとしても、スパッタが始まった直後には荷電粒子のゲートへの飛来を遮断する導電性の金属膜が成膜されていないので、コリメート板を介在させた場合に比べて、ゲート酸化膜の初期耐圧劣化防止の効果が低い。また、装置メーカの異なるエンジュラ (AMAT ENDURA) での結果で、4.6.5 mm でも満足する結果が得られた。

【0072】実験例5

実験例1及び実験例2で使用した本実施形態例のマグネトロンスパッタ装置を使い、カソードマグネットに対するコリメート板の距離 L_1 を 3.4mm、カソードマグネットとウェハー・ホールダとの距離 L_2 を 10.3mm に設定し、印加電圧を 1.5 kW に固定し、かつガス圧を 5 mTorr、8 mTorr、10 mTorr、及び 15 mTorr に設定して、それぞれ、COスパッタリングを行い、ゲート酸化膜の良品率のガス圧依存性を関係を調べた。その結果、5 mTorr、8 mTorr、10 mTorr、及び 15 mTorr のガス圧で、ゲート酸化膜の良品率は、それぞれ、100% であって、コリメート板を設けたマグネトロンスパッタ装置では、ゲート酸化膜の良品率には、ガス圧依存性が無いことが判った。

【0073】以上の実験例1から実験例5の結果から、本実施形態例のスパッタ装置は、カソードマグネット 1.6 のカソード保持面に対して距離 2.4mm 以上 5.0mm 以下の範囲にコリメート板 3.2 を配置させることにより、ゲート電極に高融点金属シリサイド膜を形成する際、ゲート酸化膜の絶縁耐圧の劣化が生じないようにして、高融点金属をボリシリコン膜上にスパッタできるスパッタ装置であることが実証されている。また、本実施形態例のスパッタ装置は、ゲート酸化膜の良品率に関し、スパッタ電力依存性、スパッタ率依存性及びガス圧依存性

が低く、スパッタリング条件を広い範囲で設定することができる。

【0074】

【発明の効果】以上説明したように、本発明によれば、半導体基板上に選択的に形成される絶縁膜間に高融点金属シリサイド層を形成する半導体装置の製造方法において、ゲート耐圧の劣化が生じない条件で高融点金属をスパッタ堆積するようにしたため、高融点金属シリサイド層を形成することにより低抵抗化を図るMOS型電界効果トランジスタ(MOSFET)を、ゲート絶縁膜の薄膜化や高集積化により微細化した場合でも、より信頼性高く製造することができる。

【0075】本発明に係るスパッタ装置によれば、ターゲットホルダと、ウェハーととの間に、ターゲットからウェハーに向けて貫通した多数の貫通孔を有する導電体からなるコリメート板を接地した状態で介在させることにより、好適には、コリメート板をターゲットホルダーに対して第1の間隔D₁以下で第2の間隔D₂以上の範囲の間隔で配置することにより、ゲート電極に高融点金属シリサイド膜を形成する際、ゲート酸化膜の絶縁耐圧の劣化が生じないようにして、高融点金属をポリシリコン膜上にスパッタできるスパッタ装置を実現している。また、本発明に係るスパッタ装置は、ゲート酸化膜の良品率に関し、スパッタ電力依存性、スパッタレート依存性及びガス圧依存性が低く、スパッタリング条件を広い範囲で設定することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の各工程での素子断面図である。

【図2】本発明の第2の実施の形態の各工程での素子断面図である。

【図3】従来方法の一例の各工程での素子断面図。

【図4】従来のスパッタ条件で行った場合のゲート耐圧の良品率等を示す図である。

【図5】コリメート板を挿入した場合のゲート耐圧特性の良品率等を示す図である。

【図6】本発明の第1の実施の形態で使用するスパッタ装置の構成図である。

【図7】本発明の第2の実施の形態で使用する各例のスパッタ装置と従来のスパッタ装置の構成図である。

【図8】従来のスパッタ装置の構成を示す模式図である。

【図9】シリサイド化の説明図である。

【図10】図10(a)は実施形態例のスパッタ装置の構成を示す模式図、図10(b)はコリメート板の平面図、図10(c)はコリメート板の側面図である。

【図11】従来のスパッタ装置を使ってスパッタリングした際のゲート酸化膜劣化を示すウェハーマップである。

【図12】図12(a)～(c)は、それぞれ、本実施

形態例のスパッタ装置を使って、相互に異なる条件下でスパッタした際のゲート酸化膜劣化を示すウェハーマップである。

【図13】図13(a)～(c)は、それぞれ、本実施形態例のスパッタ装置を使って、相互に異なる条件下でスパッタした際のゲート酸化膜劣化を示すウェハーマップである。

【図14】図14(a)～(c)は、それぞれ、本実施形態例のスパッタ装置を使って、相互に異なる条件下でスパッタした際のゲート酸化膜劣化を示すウェハーマップである。

【図15】図15(a)～(c)は、それぞれ、本実施形態例のスパッタ装置を使って、相互に異なる条件下でスパッタした際のゲート酸化膜劣化を示すウェハーマップである。

【図16】図16(a)～(c)は、それぞれ、本実施形態例のスパッタ装置を使って、相互に異なる条件下でスパッタした際のゲート酸化膜劣化を示すウェハーマップである。

【図17】図17(a)～(c)は、それぞれ、本実施形態例のスパッタ装置を使って、相互に異なる条件下でスパッタした際のゲート酸化膜劣化を示すウェハーマップである。

【図18】図17(a)～(c)は、それぞれ、本実施形態例のスパッタ装置を使って、相互に異なる条件下でスパッタした際のゲート酸化膜劣化を示すウェハーマップである。

【図19】スパッタ電力をパラメータとして、実験例1と2の実験結果を集計したグラフである。

【図20】良品率のスパッタパワー依存性を示すグラフである。

【図21】良品率のスパッタレート依存性を示すグラフである。

【符号の説明】

10 従来のスパッタ装置

12 スパッタ・チャンバ

14 ウェハーとホルダ

16 カソードマグネット

20 シリコン基板

22 ポリシリコン膜

24 CO膜

26 サイドウォール

28 ゲート酸化膜

30 実施形態例のスパッタ装置

32 コリメート板

34 位置調整機構

61、71 チャンバ

62、72 ウェハーとホルダ

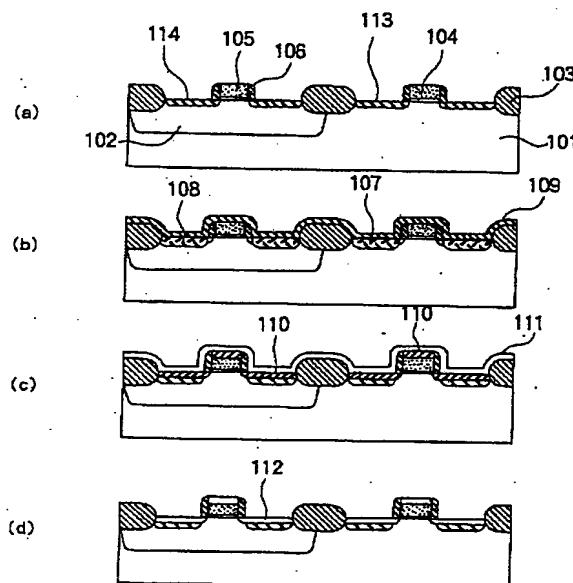
63、73 ウェハー

65、74、76 ターゲット

66 コリメート板
 75、77、80、82、84 プラズマ
 79、81、83 ホルダマグネット
 101、201 P型シリコン基板
 102、202 Nウェル
 103、203 フィールド酸化膜
 104、204 ゲート絶縁膜
 105、205 ゲート電極
 106、206 サイドウォール

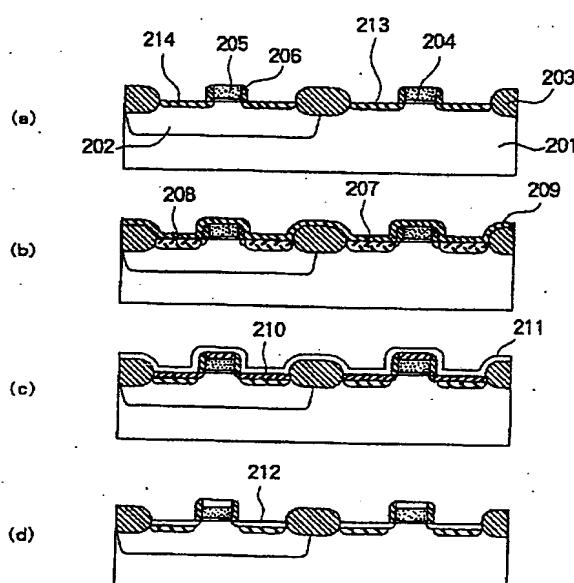
107、207 N型ソース・ドレイン領域
 108、208 P型ソース・ドレイン領域
 109、209 チタン膜
 110、210 C49型構造のチタンシリサイド層
 111、211 窒化チタン膜
 112、212 C54型構造のチタンシリサイド層
 113、213 N型不純物拡散層
 114、214 P型不純物拡散層

【図1】



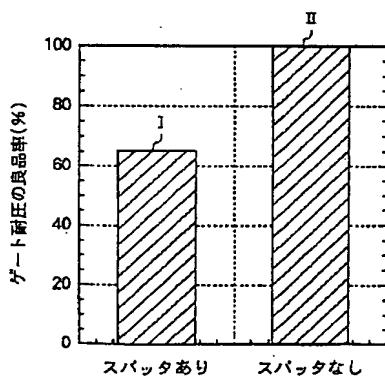
101 : P型シリコン基板
 102 : N型ウェル
 103 : フィールド酸化膜
 104 : ゲート絶縁膜
 105 : ゲート電極
 106 : サイドウォール
 107 : N型ソース・ドレイン領域
 108 : P型ソース・ドレイン領域
 109 : チタン膜
 110 : C49型構造のチタンシリサイド層
 111 : 窒化チタン膜
 112 : C54構造のチタンシリサイド層

【図2】

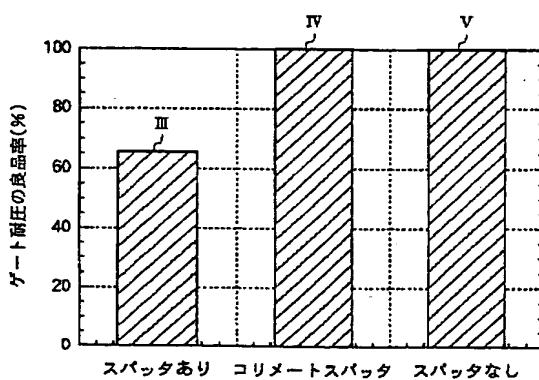


201 : P型シリコン基板
 202 : N型ウェル
 203 : フィールド酸化膜
 204 : ゲート絶縁膜
 205 : ゲート電極
 206 : サイドウォール
 207 : N型ソース・ドレイン領域
 208 : P型ソース・ドレイン領域
 209 : チタン膜
 210 : C49型構造のチタンシリサイド層
 211 : 窒化チタン膜
 212 : C54構造のチタンシリサイド層

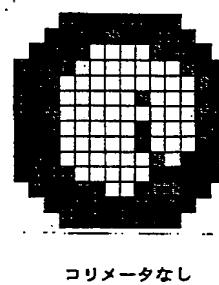
【図4】



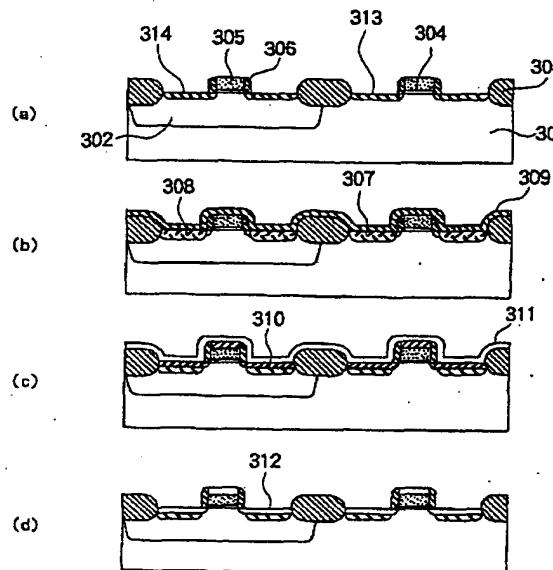
【図5】



【図11】

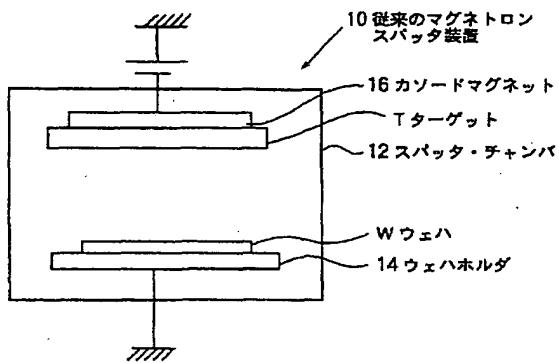


【図 3】

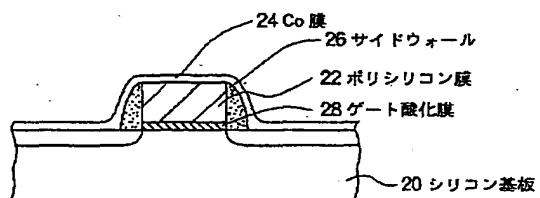


301 : P 型シリコン基板 307 : N 型ソース・ドレイン領域
 302 : N 型ウェル 308 : P 型ソース・ドレイン領域
 303 : フィールド酸化膜 309 : チタン膜
 304 : ゲート絶縁膜 310 : C49 構造のチタンシリサイド層
 305 : ゲート電極 311 : 硬化チタン膜
 306 : サイドウォール 312 : C54 構造のチタンシリサイド層

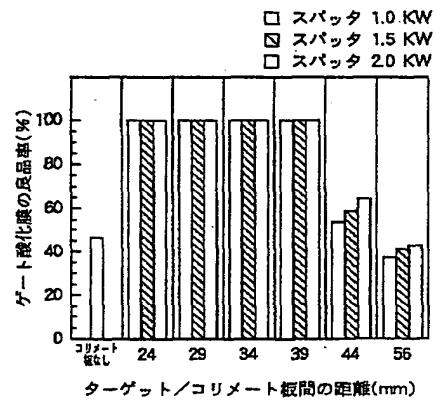
【図 8】



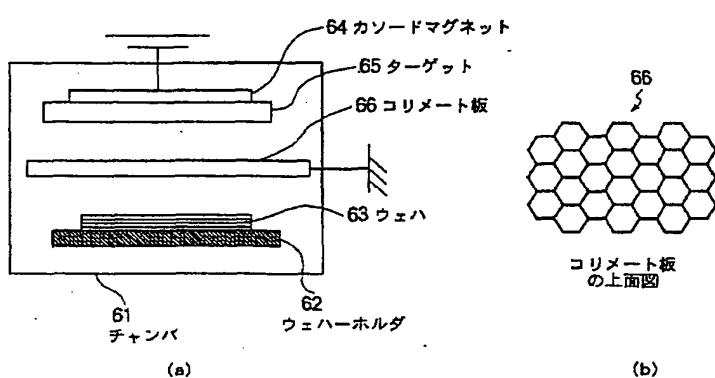
【図 9】



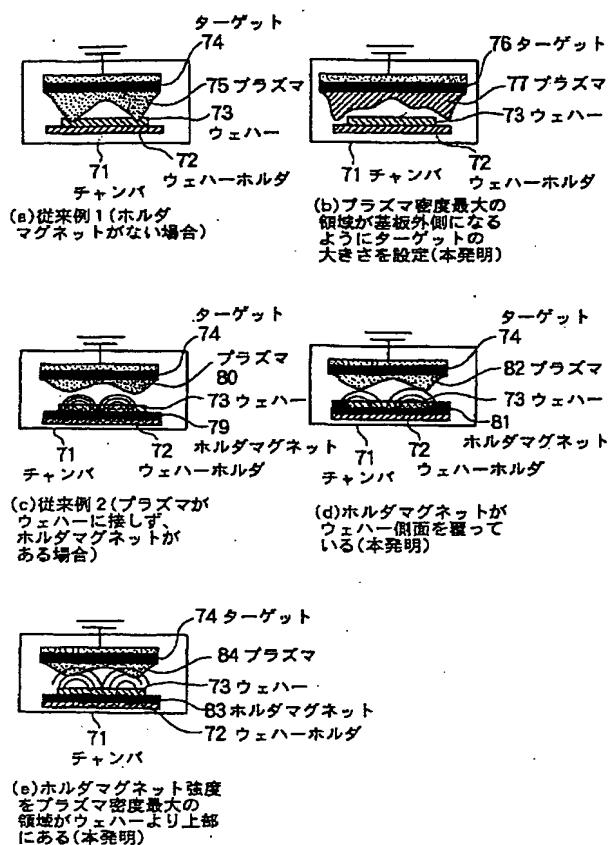
【図 19】



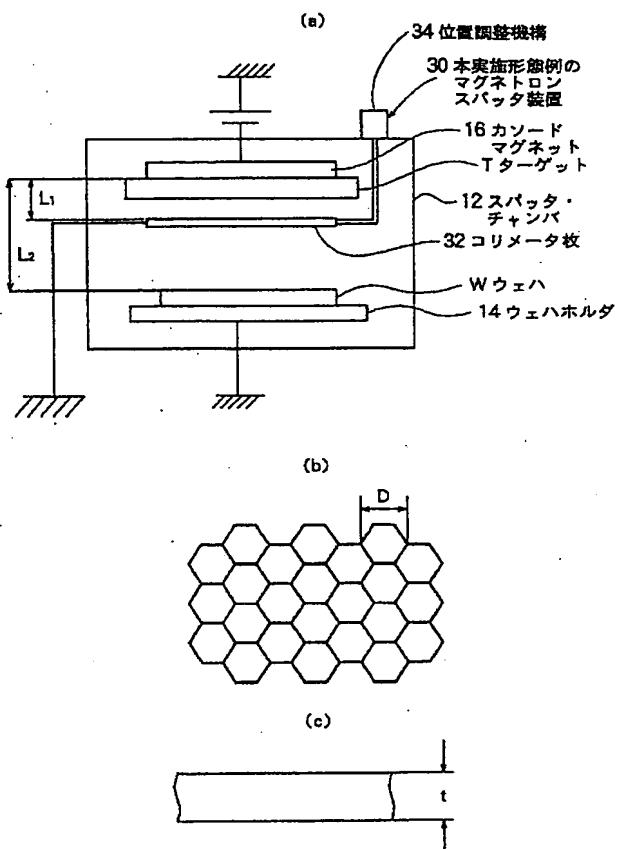
【図 6】



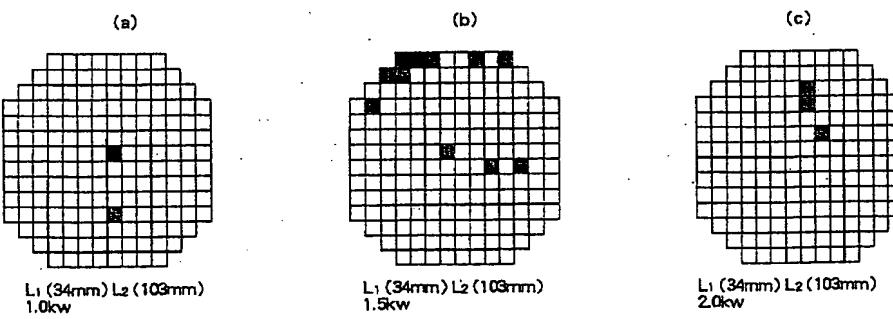
【図 7】



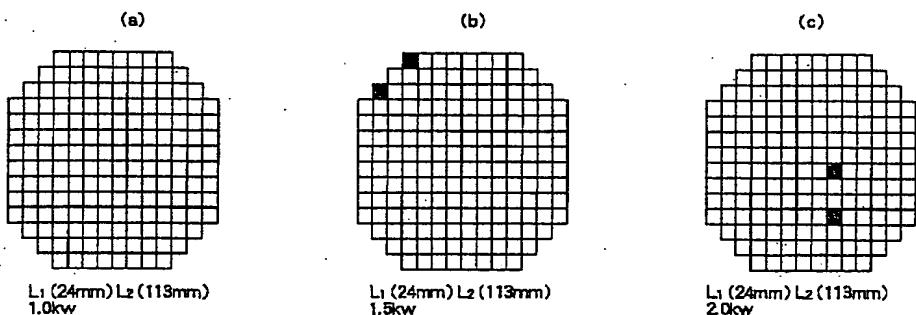
【図 10】



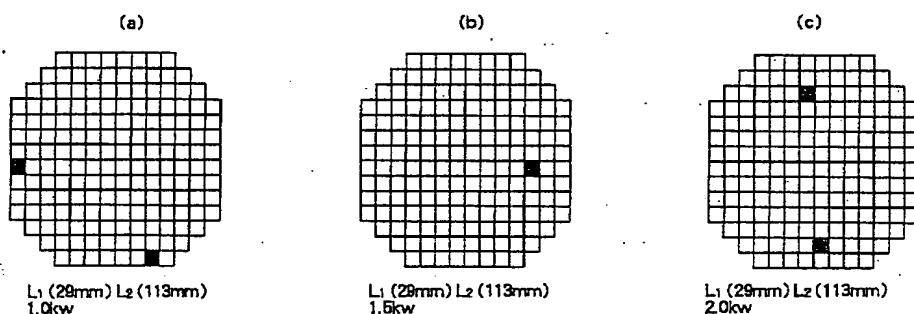
【図 12】



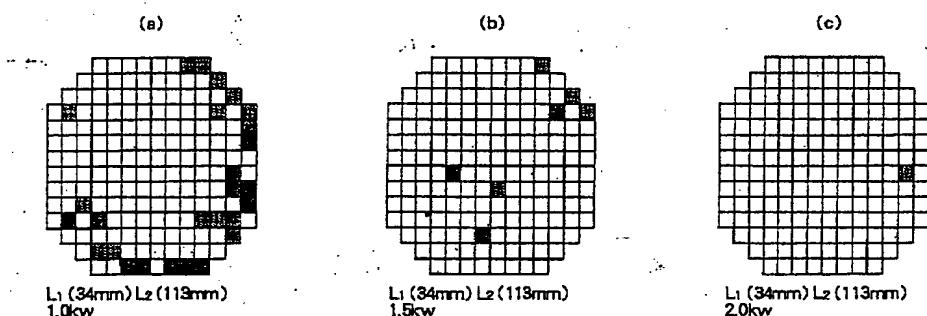
【図 1 3】



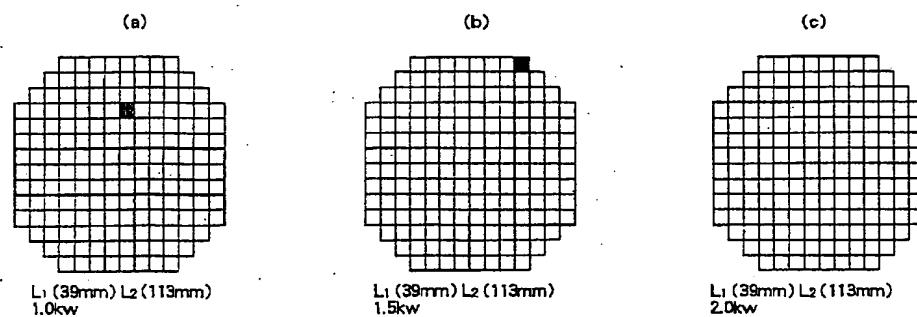
【図 1 4】



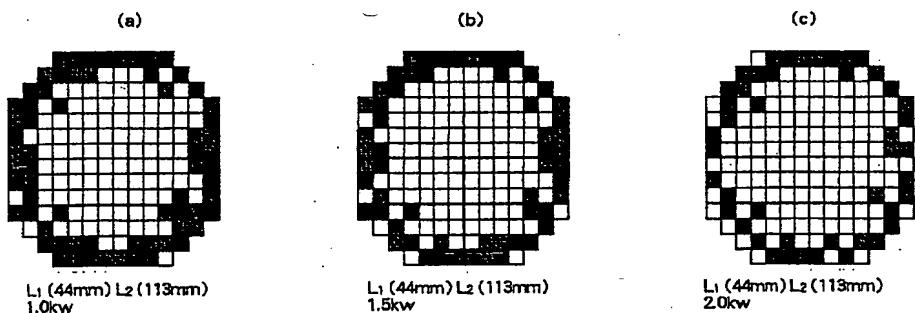
【図 1 5】



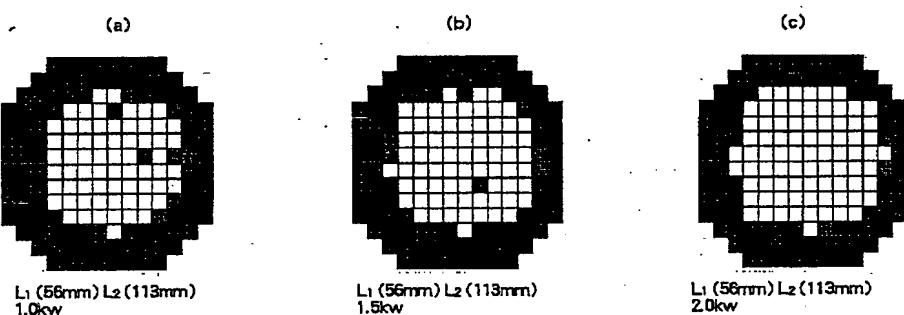
【図 1 6】



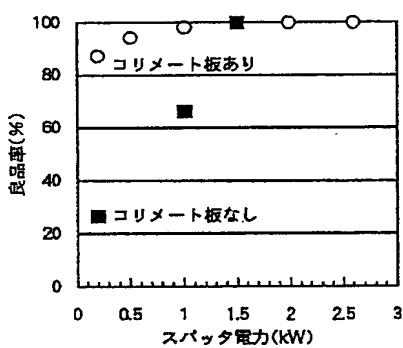
【図 17】



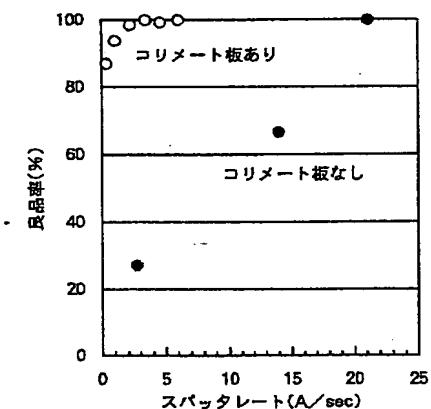
【図 18】



【図 20】



【図 21】



フロントページの続き

(51) Int. Cl. ⁶

識別記号

F I

29/78

21/336

(72)発明者 樋口 実

東京都港区芝五丁目 7 番 1 号 日本電気株
式会社内